

DIALOG(R)File 347:JAPIO
(c) 2000 JPO & JAPIO. All rts. reserv.

03787474 **Image available**

SEMICONDUCTOR DEVICE FOR DRIVING PLATE TYPE LIGHT VALVE

PUB. NO.: 04-152574 [JP 4152574 A]

PUBLISHED: May 26, 1992 (19920526)

INVENTOR(s): HAYASHI YUTAKA
 KAMIYA MASAOKI
 KOJIMA YOSHIKAZU
 TAKASU HIROAKI

APPLICANT(s): AGENCY OF IND SCIENCE & TECHNOL [000114] (A Japanese
 Government or Municipal Agency), JP (Japan)
 SEIKO INSTR INC [000232] (A Japanese Company or Corporation),
 JP (Japan)

APPL. NO.: 02-277436 [JP 90277436]

FILED: October 16, 1990 (19901016)

INTL CLASS: [5] H01L-029/784; G02F-001/136

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components); 29.2 (PRECISION
 INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD: R011 (LIQUID CRYSTALS); R097 (ELECTRONIC MATERIALS --
Metal

Oxide Semiconductors, MOS)

JOURNAL: Section: E, Section No. 1263, Vol. 16, No. 435, Pg. 99,
 September 10, 1992 (19920910)

ABSTRACT

PURPOSE: To prevent back channel effectively and shut off an incident light by controlling the inductance of the channel region of a transistor, which constitutes a switching element with main and sub gate electrodes in a pair through each insulating film from both sides of a semiconductor film.

CONSTITUTION: Lamination structure 2 is made on a supporting substrate 1, and at the surface is made a light valve driving transparent electrode, that is, a picture element electrode 3. And a switching element 4 for selectively exciting the picture element electrode 3 is made at the lamination structure 2, and the switching element 4 is equipped with a drain region 5 and a source region 6, and a channel region 7 is provided between the drain region 5 and the source region 6. A main gate electrode 9 is made through a gate insulating film 8 on the surface side of the channel region 7, and the main electrode 9 controls the conductance of the channel region 7 and turns on or turns off the switching element 4. A shading layer 11 is arranged at the rear of that channel region 7 through an insulating layer 10, and in the case that the shading film of the shading layer 11 is conductive, the shading layer 11 becomes the substrate electrode, too, for controlling the back channel.

DIALOG(R)File 352:DERWENT WPI
(c) 2000 Derwent Info Ltd. All rts. reserv.

009006693 **Image available**

WPI Acc No: 92-133997/199217

XRAM Acc No: C92-062654

XRPX Acc No: N92-099998

**Flat plate light valve driving device - comprises substrate,
semiconductor film, switching transistor, channel region main gate
electrode, leakage current inhibiting layer, etc.**

Patent Assignee: AGENCY OF IND SCI & TECHNOLOGY (AGEN); SEIKO INSTR INC
(DASE); KOGYO GIJUTSUIN (AGEN); SEIKO ELECTRON CO LTD (SEIK-N)

Inventor: HAYASHI Y; KAMIYA M; KOJIMA Y; TAKASU H

Number of Countries: 007 Number of Patents: 013

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Main IPC	Week
EP 481734	A	19920422	EP 91309495	A	19911015		199217 B
EP 481734	B1	19991229	EP 91309495	A	19911015	H01L-027/12	200005
DE 69131879	E	20000203	DE 631879	A	19911015	H01L-027/12	200013
			EP 91309495	A	19911015		
US 6040200	A	20000321	US 91771756	A	19911004	H01L-021/84	200021
			US 9360163	A	19930507		
			US 97834168	A	19970414		
JP 4152574	A	19920526	JP 90277436	A	19901016	H01L-029/784	199231
US 5233211	A	19930803	US 91771756	A	19911004	H01L-027/01	199332
EP 481734	A3	19930825	EP 91309495	A	19911015		199508
TW 236681	A	19941221	TW 91107841	A	19911004	G02B-003/00	199510
JP 96024193	B2	19960306	JP 90277436	A	19901016	H01L-029/786	199614
JP 9102610	A	19970415	JP 90277436	A	19901016	H01L-029/786	199725
			JP 9524343	A	19901016		
US 5672518	A	19970930	US 91771756	A	19911004	H01L-021/265	199745
			US 9360163	A	19930507		
US 5759878	A	19980602	US 91771756	A	19911004	H01L-021/86	199829
			US 9360163	A	19930507		
			US 95496540	A	19950629		
US 5926699	A	19990720	US 95496540	A	19950629	H01L-021/86	199935
			US 9889465	A	19980602		

Priority Applications (No Type Date): JP 90277436 A 19901016; JP 9524343 A
19901016

Cited Patents: No-SR.Pub; 2.Jnl.Ref; EP 136509; JP 58218169; US 4609930; US
4748485; US 4751196; US 4875086

Patent Details:

Patent	Kind	Lan	Pg	Filing Notes	Application	Patent
EP 481734	A	E	14			

Designated States (Regional): DE FR GB IT

EP 481734 B1 E

Designated States (Regional): DE FR GB IT

DE 69131879	E	Based on	EP 481734
US 6040200	A	Div ex	US 91771756

		Cont of	US 9360163	
		Div ex		US 5233211
		Cont of		US 5672518
JP 4152574	A	10		
US 5233211	A	12		
JP 96024193	B2	8 Based on		JP 4152574
JP 9102610	A	10 Div ex	JP 90277436	
US 5672518	A	Div ex	US 91771756	
		Div ex		US 5233211
US 5759878	A	Div ex	US 91771756	
		Div ex	US 9360163	
		Div ex		US 5233211
		Div ex		US 5672518
US 5926699	A	Cont of	US 95496540	
		Cont of		US 5759878

Abstract (Basic): EP 481734 A

Semiconductor device comprises: support substrate (1); semiconductor thin film (23); switching transistor (4); channel region (7); main gate electrode (9); electrode (3) connected to the switching transistor so that a leakage current inhibiting layer (11) is disposed on the side of the channel region opposite the gate electrode.

Also included method for mfr. comprises: (A) forming substrate (1, 2) by laminating a light shielding thin layer (21) on insulating film (22) and a semiconductor film (23) on a support substrate (1); (B) forming a light shielding pattern layer by selectively etching the laminate to form a switching transistor (4) having a channel region (7) in the semiconductor thin film and a main gate electrode (9) covering it; (C) forming an electrode (3) electrically connected to the switching element and the substrate.

Also included is a light valve device including stacked layers mfd. as described.

USE/ADVANTAGE - Device can be used for driving light valves of flat plate type. Structure has thin film transistors capable of effectively preventing back-gating and of blocking incident light.

Dwg.1/5

Title Terms: FLAT; PLATE; LIGHT; VALVE; DRIVE; DEVICE; COMPRISE; SUBSTRATE; SEMICONDUCTOR; FILM; SWITCH; TRANSISTOR; CHANNEL; REGION; MAIN; GATE;

ELECTRODE; LEAK; CURRENT; INHIBIT; LAYER

Derwent Class: L03; P81; U14; V07

International Patent Class (Main): G02B-003/00; H01L-021/265; H01L-021/84;

H01L-021/86; H01L-027/01; H01L-027/12; H01L-029/784; H01L-029/786

International Patent Class (Additional): G02F-001/13; G02F-001/136;

H01L-021/336; H01L-027/13; H01L-029/78; H01L-031/18

File Segment: CPI; EPI; EngPI

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A) 平4-152574

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)5月26日

H 01 L 29/784

9056-4M

H 01 L 29/78

3 1 1 X

9056-4M

3 1 1 ※

審査請求 有 請求項の数 17 (全10頁)

⑭ 発明の名称 平板型光弁駆動用半導体装置

⑯ 特 願 平2-277436

⑰ 出 願 平2(1990)10月16日

⑱ 発 明 者 林 豊 茨城県つくば市梅園1丁目1番4 工業技術院電子技術総合研究所内
⑲ 発 明 者 神 谷 昌 明 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内
⑳ 出 願 人 工業技術院長 東京都千代田区霞が関1丁目3番1号
㉑ 復代理人 弁理士 林 敬之助
㉒ 出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号
㉓ 代 理 人 弁理士 林 敬之助
最終頁に続く

明 細 書

1. 発明の名称

平板型光弁駆動用半導体装置

2. 特許請求の範囲

1. 支持基板と、該支持基板の上に配置された透光性薄膜と、該透光性薄膜の上に絶縁膜を介して配置された半導体薄膜とを含む積層構造を有する複合基板と、

該複合基板の上の少なくとも前記透光性薄膜をとり除いた部分上に配置された光弁駆動用透明電極と、

該半導体薄膜に形成されたチャネル領域及び該チャネル領域の導通を制御する為の主ゲート電極を有するトランジスタからなり、該透明電極を選択的に励起する為のスイッチング素子と、

該透光性薄膜から構成されており該チャネル領域に対して該主ゲート電極の反対側に配置された透光層とからなる半導体装置。

2. 透光層は導電性材料からなる請求項1に記載の

半導体装置。

3. 該支持基板は、酸化アルミニウムで形成されている請求項1に記載の半導体装置。

4. 該チャネル領域は、シリコン単結晶からなる半導体薄膜に形成されている請求項1に記載の半導体装置。

5. 透光性の絶縁材料からなる支持基板と、該支持基板の上に配置された透光性薄膜と、該透光性薄膜の上に配置された絶縁膜と、該絶縁膜の上に配置されているとともに該絶縁膜に対して接合された単結晶材料からなる半導体薄膜とを含む積層構造を有する複合基板。

6. 該透光性薄膜は導電性材料からなる請求項5に記載の複合基板。

7. 該透光性薄膜はポリシリコンからなる請求項6に記載の複合基板。

8. 該透光性薄膜は支持基板からヘテロエピタキシャル成長したシリコン単結晶であり、該半導体薄膜は、該透光性薄膜からエピタキシャル成長したものであることを特徴とする請求項5に記載の

複合基板。

9. 該透光性薄膜はゲルマニウムとシリコンゲルマニウムとシリコンのうち少なくとも1つを含む単層膜又は多層膜である請求項6に記載の複合基板。
10. 該絶縁層構造は支持基板と透光性薄膜の間に介在する下地膜を含んでいる請求項5に記載の複合基板。
11. 該下地膜はオキシナイトライドからなる請求項10に記載の複合基板。
12. 該下地膜は酸化シリコンからなり、該支持基板は酸化シリコンを主成分とする石英である請求項10に記載の複合基板。
13. 該絶縁膜は酸化シリコンからなる請求項5に記載の複合基板。
14. 該絶縁膜は酸化シリコンからなる請求項5に記載の複合基板。
15. 該絶縁膜は酸化シリコンと酸化シリコンの多層膜である請求項5に記載の複合基板。
16. 該半導体薄膜はシリコン単結晶薄膜からなる請求項5に記載の複合基板。

[従来技術]

アクティブマトリクス装置の原理は簡単であり、各画素にスイッチング素子を設け、特定の画素を選択する場合には対応するスイッチング素子を導通させ、非選択時にはスイッチング素子を非導通状態にしておくものである。このスイッチング素子は液晶パネルを構成するガラス基板上に形成されている。従ってスイッチング素子の薄膜化技術が重要である。このスイッチング素子として通常薄膜トランジスタが用いられる。

従来、アクティブマトリクス装置においては薄膜トランジスタはガラス基板上に増幅されたシリコン薄膜の表面に形成されていた。かかるトランジスタは一般に電界効果絶縁ゲート型のものが用いられる。この型のトランジスタは、シリコン薄膜中に形成されたチャネル領域と、該チャネル領域を覆う様に形成されたゲート電極とから構成されている。ゲート電極に所定の電圧を印加する事により、チャネル領域のコンダクタンスを制御しスイッチング動作を行なうものである。

17. 支持基板の上に順に重ねられた透光性薄膜、絶縁膜、及び半導体薄膜を含む積層を有する基板を準備する工程と、

該積層をエッチングし、下層に透光性薄膜からなる透光層を形成する工程と、

該透光層上に絶縁膜を介して配置された半導体薄膜に対して、チャネル領域及び該チャネル領域を覆う主ゲート電極を含むトランジスタからなるスイッチング素子を形成する工程と、

該支持基板上において対応するスイッチング素子に結線された光弁駆動用透明電極を形成する工程とからなる半導体装置の製造方法。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は直視型表示装置や投影型表示装置等に用いられる平板型光弁装置例えばアクティブマトリクス液晶パネルに関する。より詳しくは、液晶パネルの基板として組込まれ液晶を直接駆動する為の電極及びスイッチング素子が形成された半導体装置に関する。

(発明が解決しようとする課題)

しかしながら、従来の絶縁ゲート型薄膜トランジスタにおいては、ゲート電圧を制御してチャネル領域を非導通状態にしても、薄膜の裏面側を通過してチャネル領域にリーク電流が流れてしまうという問題点があった。所謂バックチャネルであり、アクティブマトリクス装置の正常な動作が阻害されるという問題点があった。即ち、各画素を繰順次で高速に動作する為には、各スイッチング素子の導通状態と非導通状態におけるコンダクタンス比が 10^6 以上必要であるが、このバックチャネルの為に必要なスイッチング性能を得る事ができない。

一方、バックチャネルを消滅させることができたとしても、本半導体装置は光照射下で用いられるものであるから、薄膜トランジスタのチャネル領域に外部から光が入射するとそのコンダクタンスが増加し、非導通状態におけるドレイン・ソース内のリーク電流となる。このリーク電流と光を照射しないときのリーク電流の比はチャネル領域を

形成する半導体薄膜が単結品の様に高品質であるほど大きくなるという問題点もあった。

(課題を解決する為の手段)

上述した従来の問題点に鑑み、本発明はバックチャネルを有効に防止する事ができ且つ入射光を遮断する事のできる構造を有する薄膜トランジスタを備えた平板型光弁駆動用半導体装置を提供する事を目的とする。

上記目的を達成する為に、本発明にかかる半導体装置は、透光性材料からなる絶縁性支持基板と、該支持基板の上に配置された透光性薄膜と、該透光性薄膜の上に絶縁膜を介して配置された半導体薄膜とを含む積層構造を有する基板を用いて形成される。該支持基板の上には光弁駆動用透明電極即ち画素電極が配置されている。さらに、該画素電極を選択的に励起する為のスイッチング素子が形成されている。このスイッチング素子は、チャネル領域及び該チャネル領域の導通を制御する為の主ゲート電極を有する電界効果絶縁ゲート型トランジスタからなる。チャネル領域は該半導体薄

膜中に形成されており、主ゲート電極は該チャネル領域を覆う様に形成されている。この主ゲート電極とは別に、遮光層が形成されている。この遮光層は、該透光性薄膜から構成されており、該チャネル領域に対して主ゲート電極の反対側に配置されている。即ち、トランジスタのチャネル領域は上下から主ゲート電極と遮光層とによって挟持された構造となっている。

好ましくは、トランジスタチャネル領域の両側に配置された主ゲート電極は透光性材料からなっており、前記遮光層とともにチャネル領域を外部入射光から略完全に遮断している。

さらに好ましくは前記遮光層は導電性材料からなっており、バックチャネルをなくしている。又バックチャネルを制御するために遮光層へ電流を与える事もできる。

さらに好ましくはトランジスタのチャネル領域は、シリコン単結晶からなる半導体薄膜に形成されており、通常のLSI技術を用いてサブミクロンのオーダで加工する事が可能である。

(作 用)

かかる構成を有する平板型光弁駆動用半導体装置においては、スイッチング素子を構成するトランジスタのチャネル領域のコンダクタンスは半導体薄膜の両面から各々絶縁膜を介して主側一対のゲート電極によって制御される。従って、従来の薄膜トランジスタの様に片面からのみ1個のゲート電極によって制御される構造と異なり、バックチャネルが生じない。換言すると、本発明にかかる副ゲート電極はバックチャネルを抑制する為に設けられているものである。

加えて、チャネル領域は上下から一対の透光性ゲート電極によって覆われているので、光弁装置に入射する光は画素電極を透過するとともに、チャネル領域においては略完全に遮断され、光電流の発生を有効に防止している。

(実 施 例)

以下図面を参照して、本発明の好適な実施例を詳細に説明する。第1図は、平板型光弁駆動用半導体装置の模式的断面図である。図示する様

に、本装置は支持基板1の上に形成された積層構造2を有している。積層構造2は、透光性薄膜と、該透光性薄膜の上に絶縁膜を介して配置された半導体薄膜とを含んでいる。積層構造2である複合基板の表面には光弁駆動用透明電極即ち画素電極3が形成されている。そして、積層構造2には画素電極3を選択的に励起する為のスイッチング素子4が対応的に形成されている。スイッチング素子4は、半導体薄膜中に互いに離間して形成されたドレイン領域5及びソース領域6を具備している。ドレイン領域5は信号線7と結線しており、ソース領域6は対応する画素電極3に結線されている。又、ドレイン領域5とソース領域6の間にはチャネル領域7が設けられている。チャネル領域7の裏面側にはゲート絶縁膜8を介して主ゲート電極9が形成されている。主ゲート電極9は図示しない走査線に結線されているとともに、チャネル領域7のコンダクタンスを制御しスイッチング素子4のオンオフ動作を実行する。該チャネル領域7の裏面側には、絶縁膜10を介して遮光層11

が配置されている。即ち、遮光層11はチャネル領域7に対して主ゲート電極9の反対側に配置されている。この遮光層11は前述した遮光性薄膜から構成されている。この遮光性薄膜が同時に導電性である場合は、遮光層11はバックチャネルを制御する副ゲート電極ともなる。

チャネル領域7の両側に配置された一対の主ゲート電極9及び11は遮光性材料から構成されているので、チャネル領域7に入射する光を完全に遮断している。

又本実施例においては、チャネル領域7はシリコン単結晶からなる半導体薄膜に形成されており、通常のLSI加工技術が直接適用できるのでそのチャネル長をサブミクロンのオーダーにまで微細化する事が可能である。

第2図は本発明にかかる平板型光弁駆動用半導体装置の製造に用いられる複合基板の模式的断面図である。図示する様に、複合基板は支持基板1とその上に形成された積層構造2とからなっている。先ず、支持基板1は遮光性の絶縁材料例

えば酸化シリコンを主成分とする耐熱性の石英あるいは、酸化アルミニウムから構成されている。酸化アルミニウムは熱膨張係数がシリコンに近く、応力が発生しにくい点で優れている。又、単結晶も形成できる為、その上に単結晶半導体膜をヘテロエピタキシャル成長する事もできる。次に、積層構造2は、支持基板1の上に配置された遮光性薄膜21と、該遮光性薄膜21の上に配置された絶縁膜22と、該絶縁膜22の上に配置されているとともに支持基板1に対して接合された単結晶材料からなる半導体薄膜23とを含んでいる。該遮光性薄膜21は導電性材料からなり、例えばポリシリコンが用いられる。あるいは、ポリシリコンの単層膜に代えて、ゲルマニウム又はシリコンゲルマニウム又はシリコンの単層膜あるいは少なくとも1層のゲルマニウム又はシリコンゲルマニウムを含むシリコンの多層膜を用いる事もできる。さらには、これら半導体材料に代えてシリサイド、アルミニウム等の金属膜を用いる事もできる。又、支持基板として酸化アルミニウム、即ちサファイヤを用

いた場合には、その上にヘテロエピタキシャル成長したシリコン単結晶を遮光膜として用いる事もできる。

積層構造2は、支持基板1と遮光性薄膜21の間に介在する下地膜24を含んでも良い。この下地膜24は支持基板1と積層構造2の間の密着性を向上させる為に設けられている。例えば、支持基板1が酸化シリコンを主成分とする石英で構成されている場合には、下地膜24として酸化シリコンを用いる事ができる。又、支持基板1からの不純物を阻止する機能も下地膜にもたせる場合は窒化シリコン又はオキシナイトライド、又はそのうちの少なくとも1つと酸化シリコンとの多層膜とする。特にオキシナイトライドは応力の緩和ができるので有用である。

次に、絶縁膜22は後に遮光性薄膜21から構成される副ゲート電極に対するゲート絶縁膜として用いられるものであり、例えば酸化シリコン又は窒化シリコンから構成される。あるいは、絶縁膜22は窒化シリコンと酸化シリコンの多層膜から構成

する事もできる。

積層構造2の上部に位置する半導体薄膜23は例えばシリコンから構成される。このシリコンは単結晶、多結晶あるいは非品質の材料を用いる事ができる。非品質シリコン薄膜あるいは多結晶シリコン薄膜は化学気相成長法を用いてガラス基板上に容易に堆積できるので比較的大面積のアクティブマトリクス装置を製造する場合に適している。非品質シリコン薄膜を用いれば、3インチから10インチ程度の面積を有するアクティブマトリクス液晶装置を製造する事ができる。特に、非品質シリコン薄膜は350℃以下の低温で形成できる為、大面積液晶パネルに適している。又、多結晶シリコン薄膜を用いた場合には2インチ程度の小型液晶パネルを製造する事ができる。

しかしながら、多結晶シリコン薄膜を用いた場合には、微細半導体加工技術を適用してサブミクロンのオーダーのチャネル長を有するトランジスタを形成すると素子定数の再現性が悪く、バラツキも大きくなる。更に、非品質シリコンの場合は、

サブミクロン加工技術を用いても高速スイッチは期待できない。これに対して、シリコン単結晶からなる半導体薄膜を用いた場合には、微細半導体加工技術を直接適用する事ができスイッチング素子の集積密度を著しく向上でき、超微細な光弁装置を得る事ができる。

たとえスイッチング素子がミクロンオーダーのチャネル長でもチャネル移動度が大きいので、高速動作を可能とする。さらにこれらのスイッチング素子を制御する周辺回路を同一支持基板上に高密度に集積可能となり、高速でスイッチング素子アレーを制御できるので、高精細動画表示には不可欠となる。

次に第3図を参照して、本発明にかかる半導体装置の製造方法を詳細に説明する。先ず、第3図(A)に示す工程において、複合基板が準備される。即ち、研磨した石英板からなる支持基板1の上に、先ず化学気相成長法あるいはスパッタリングを用いて酸化シリコンからなる下地膜24を形成する。下地膜24の上に、化学気相成長法を用いてポリシ

リコンからなる透光性薄膜21を増積する。続いて透光性薄膜21の上に熱酸化法あるいは化学気相成長法を用いて酸化シリコンからなる絶縁膜22を形成する。最後に、絶縁膜22の上にシリコン単結晶からなる半導体薄膜23を形成する。この半導体薄膜23は単結晶シリコン半導体基板を絶縁膜22に対して接合した後数 μm の厚さまで研磨する事により得られる。用いられる単結晶シリコン半導体基板はLSI製造に用いられる高品質のシリコンウエハを用いる事が好ましく、その結晶方位は「100」 0.0 ± 1.0 の範囲の一様性を有し、その単結晶格子欠陥密度は500個/ cm^2 以下である。かかる物理特性を有するシリコンウエハの表面を先ず精密に平滑仕上げる。続いて、平滑仕上げされた面を絶縁膜22に対して重ね合わせ加熱する事によりシリコンウエハと支持基板1を互いに熱圧着する。この熱圧着処理によりシリコンウエハと支持基板1は互いに強固に固着される。この状態で、シリコンウエハを所望の厚みになるまで研磨加工するのである。尚研磨処理に代えてエッチング処理を

行なっても良い。この様にして得られたシリコン単結晶半導体薄膜23はシリコンウエハの品質が實質的にそのまま保存されるので結晶方位の一様性や格子欠陥密度に関して極めて優れた半導体基板材料を得る事ができる。

なおシリコンウエハの熱圧着した面は現状の技術では電氣的な欠陥が多少残るので、次の様な工程が更に好ましい。すなわち単結晶ウエハに熱酸化又はCVDにより SiO_2 を形成する。続いてCVDによりポリシリコンを形成し、必要ならば表面研磨を行なう。続いて順に熱酸化又はCVDによる SiO_2 、CVDによるシリコン窒化膜及び熱酸化又はCVDによる SiO_2 を形成する。このシリコンウエハを石英支持基板又はCVD、 SiO_2 のコートされた石英支持基板上に熱圧着し、シリコンウエハの研磨を行なう。

次に第3図(B)に示す工程において、下地膜24を除く仮層構造2を逐次エッチングし、最下層即ち下地膜24の上に透光性薄膜21からなる透光層11を形成する。この時同時に、透光層11の上には絶

縁膜22からなるゲート酸化膜10も形成される。この透光層11の形成は複合基板の全面に感光膜26を被覆した後所望の形状にパタニングし、パタニングされた感光膜26をマスクとして選択的にエッチングを行なう事により得られる。

続いて第3図(C)に示す工程において、パタニングされた透光層11及びゲート酸化膜10の2層構造の上に、素子領域25が形成される。素子領域25は、半導体薄膜23のみを所望の形状に選択的にエッチングする事により得られる。このエッチングは、素子領域の形状に合わせてパタニングされた感光膜26をマスクとして半導体薄膜23を選択的にエッチングする事により行なわれる。

さらに第3図(D)に示す工程において、感光膜26を除去した後露出された半導体薄膜23の表面を含めて全体的に熱酸化膜形成処理を施す。この結果、半導体薄膜23の表面にはゲート酸化膜8が形成される。

続いて第3図(E)に示す工程において、素子領域25を覆う様に化学気相成長法により多結晶シリ

コン膜を堆積する。この多結晶シリコン膜を所定の形状にパタニングされた感光膜(図示せず)を用いて選択的にエッチングし主ゲート電極9を形成する。この主ゲート電極9はゲート酸化膜8を介して半導体薄膜23の上に配置される。

第3図(F)に示す工程において、主ゲート電極9をマスクとしてゲート酸化膜8を介して不純物のイオン注入を行ない、半導体薄膜23の中にドレイン領域5及びソース領域6を形成する。この結果、主ゲート電極9の下方においてドレイン領域5とソース領域6の間に不純物の注入されていないトランジスタチャンネル領域7が設けられる。

続いて、第3図(G)に示す工程において、素子領域を覆う様に保護膜27を形成する。この結果、遮光層11及び主ゲート電極9を含むスイッチング素子は保護膜27の中に埋設される。

最後に第3図(H)に示す工程において、ソース領域6の上にあるゲート酸化膜8の一部を除去してコンタクトホールを形成しこの部分を覆う様に透明画素電極3を形成する。画素電極3は例えば

ITO等からなる透明材料から構成される。加えて画素電極3の下側に配置されている保護膜27も例えば酸化シリコンから構成できるので透明であり、さらにその下側に配置されている石英ガラスからなる支持基板1も透明である。従って、画素電極3、保護膜27及び石英ガラス支持基板1からなる3層構造は光学的に透明であり透過型の光井装置に利用可能である。

逆にチャネル領域7を上下から挟む一対の主ゲート電極9及び11はポリシリコンから構成されており光学的に不透明である為入射光を遮断できチャネル領域に流れるリーク電流を防止している。完全に遮断するためにはシリコン、ゲルマニウム等低バンドギャップの材料を使う。

上述した様に、第3図に示す製造方法においては、高品質の単結晶シリコンからなる半導体薄膜23に対して600℃以上の高温を用いた成膜処理、高輝度度のフォトリソエッチング及びイオン注入処理等を実施することによりミクロンオーダーあるいはサブミクロンオーダーのサイズを有する電界効果型

絶縁ゲートトランジスタを形成する事が可能である。用いるシリコン単結晶膜は極めて高品質であるので得られた絶縁ゲート型トランジスタの電気特性も優れている。同時に、画素電極3も微細化技術によりミクロンオーダーの寸法で形成することができるので高密度且つ微細な構造を有するアクティブマトリクス液晶用半導体装置を製造する事ができる。

第3図の場合は、単結晶半導体膜23を熱圧着方法により形成した例についての実施例であった。単結晶半導体膜を熱圧着でなく、エピタキシャル方法によって形成する場合の実施例を第4図を用いて説明する。まず、サファイヤの様な透明な酸化アルミニウム101を第4図(A)の様に支持基板として用いる。次に、第4図(B)の如く、酸化アルミニウム101の結晶を種としてシリコン単結晶膜102をヘテロエピタキシャル成長する。酸化アルミニウムは、多結晶の場合にはその熱膨張係数が石英に比べシリコンの値に近い。従って、第3図に示した実施例の支持基板に多結晶酸化アルミ

ニウムを用いた場合には、熱応力が小さく、その上に形成されている単結晶シリコン膜の結晶性を半導体プロセスの高温処理を介しても維持できる。

第4図においては、単結晶酸化アルミニウムを用いている為、第4図(B)の様に単結晶シリコン膜102をヘテロエピタキシャル成長する事ができる。次に、成長した単結晶シリコン膜102を第4図(C)の様にパタニングして遮光膜111を形成する。次に第4図(D)の様に絶縁膜110を形成し、さらに、その一部に穴112を明け、第4図(E)の様に単結晶シリコン膜111の表面を出す。次に、非晶質あるいは多結晶の半導体膜123を第4図(F)の様に形成する。穴112では、単結晶シリコン膜111と半導体膜123が接している。この状態で高温熱処理を行うと、穴の部分の単結晶シリコン膜111を種として半導体膜123がラテラルエピ成長する。従って、第4図(F)の様にその穴の近い領域123Aは単結晶化する。単結晶化されない領域123Bは多結晶状態になっている。このエピタキシャル成長は、第4図(F)においては先ず多結晶

半導体膜123を形成し、熱処理によってラテラルエピ成長した例を示したが、第4図(E)の状態からガスソースエピタキシャル成長、あるいは、液相エピタキシャル成長しても第4図(G)の様に単結晶半導体膜を形成できる。半導体膜としては、シリコン、GaAs膜が可能である。次に、第4図(H)に示す様に、トランジスタの基板になる領域124をバタニングする。次に、第4図(I)の様にゲート絶縁膜101を形成し、最終的に、第4図(J)の様に透明電極103をドレイン領域108に接続したトランジスタを形成する。ソース領域105とドレイン領域108との間のチャンネル領域107のコンダクタンスは、ゲート電極125と遮光膜111によって制御できる。第4図(J)においては、遮光膜111がソース領域105と接続した例を示したが、その必要はない。第4図(G)においてラテラルエピ成長は、3~5 μ mと充分長く単結晶領域を形成するので、第4図(J)の様に単結晶のトランジスタを絶縁膜の上に形成できる。

最後に第5図を参照して本発明にかかる半導体

装置を用いて組立てられた光弁装置の例を説明する。図示する様に、光弁装置は半導体装置28と、該半導体装置28に対向配置された対向基板29と、半導体装置28と対向基板29の間に配置された電気光学物質層例えば液晶層30等から構成されている。半導体装置28には画素を規定する画素電極あるいは駆動電極3と、所定の信号に応じて駆動電極3を励起する為のスイッチング素子4とが形成されている。

半導体装置28は例えば石英ガラスからなる支持基板1と支持基板1の上に形成された積層構造2とからなっている。加えて、支持基板1の裏面側には偏光板31が接着されている。そして、スイッチング素子4は積層構造2に含まれる単結晶シリコン半導体薄膜に形成されている。このスイッチング素子4はマトリクス状に配置された複数の電界効果型絶縁ゲートトランジスタから構成されている。トランジスタのソース領域は対応する画素電極3に接続されており、同じく主ゲート電極は走査線32に接続されており、同じくドレイン電

極は信号線7に接続されている。半導体装置28はさらにXドライバ33を含む列状の信号線7に接続されている。さらに、Yドライバ34を含む行状の走査線32に接続されている。又、対向基板29はガラス基板35と、ガラス基板35の外側面に接着された偏光板36と、ガラス基板35の内側面に形成された対向電極あるいは共通電極37とから構成されている。

図示しないが、各スイッチング素子4に含まれる遮光層又は副ゲート電極も好ましくは主ゲート電極と共通に走査線32に接続されている。かかる結線により、スイッチング素子を構成するトランジスタのチャンネル領域に流れるリーク電流を有効に防止する事ができる。あるいは、遮光層は対応するトランジスタのソース領域又はドレイン領域に結線する事もできる。何れにしても、遮光層に所定の電圧を印加する事によりバックチャンネルに流れるリーク電流を有効に防止する事ができる。さらには、遮光層に印加される電圧を制御する事によりチャンネル領域の閾値電圧を所望の値に設定

する事も可能である。

次に第5図を参照して上述した構成を有する光弁装置の動作を詳細に説明する。個々のスイッチング素子4の主副ゲート電極は共通に走査線32に接続されており、Yドライバ34によって走査信号が印加され順次で個々のスイッチング素子4の導通及び遮断を制御する。Xドライバ33から出力されるデータ信号は信号線7を介して導通状態にある選択されたスイッチング素子4に印加される。印加されたデータ信号は対応する画素電極3に伝えられ、画素電極を励起し液晶層30に作用してその透過率を実質的に100%とする。一方、非選択時にはスイッチング素子4は非導通状態となり画素電極に蓄込まれたデータ信号を電荷として維持する。尚液晶層30は比抵抗が高く通常は容量性として動作する。

これらスイッチング素子4のスイッチング性能を良くするためにオン/オフ電流比が用いられる。液晶動作に必要な電流比は蓄込み時間と保持時間から簡単に求められる。例えばデータ信号がテレ

ビジョン信号である場合には、1走査線期間の約80 μ secの間にデータ信号の90%以上を寄込まねばならない。一方、1フィールド期間である約18 msecで電荷の90%以上を保持しなければならない。その結果、電流比は5桁以上必要となる。この点、本発明によればチャネル領域は主副ゲート電極によって両面からそのコンダクタンスが制御される構造となっているので、オフ時におけるリーク電流は実質的に完全に除去されている。かかる構造を有するスイッチング素子のオン/オフ比は6桁以上を十分に確保する事ができる。従って、極めて高速な信号応答性を有するアクティブマトリクスタイプの光井装置を得る事ができる。

(発明の効果)

上述した様に、本発明によればトランジスタチャネル領域の両側に配置された一対の主副ゲート電極をポリシリコン等の透光性材料で構成する事によりチャネル領域を外部入射光から有効に遮断する事ができ光電効果に基づくリーク電流の発生を有効に防止する事ができるという効果がある。

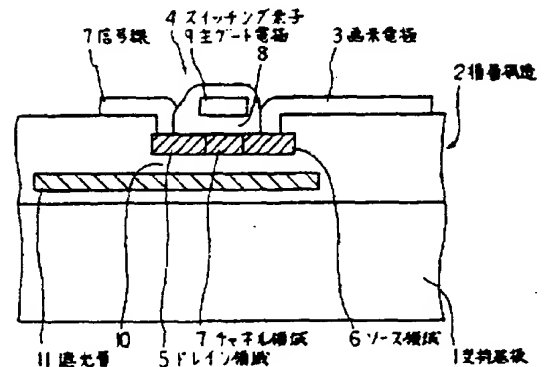
さらに、半導体薄膜に形成されたトランジスタチャネル領域を上下から主ゲート電極及び導電性材料からなる遮光層すなわち副ゲート電極により制御する構造としたので、所謂バックチャネルを有効に防止する事ができ、極めてオン/オフ比の優れた薄膜トランジスタを得る事ができる。この結果、非常に高速応答性に優れた且つ誤動作のない平板型光井駆動用半導体装置を得る事ができるという効果がある。加えて、電界効果絶縁ゲート型トランジスタからなるスイッチング素子をシリコン単結晶より構成される半導体薄膜に形成する事により、超微細且つ超高密度の平板型光井駆動用半導体装置を得る事ができるという効果もある。

4. 図面の簡単な説明

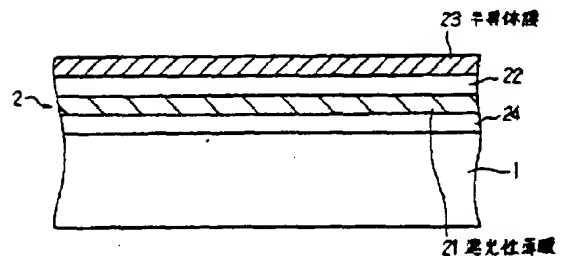
第1図は平板型光井駆動用半導体装置の構造を示す模式的断面図、第2図はかかる半導体装置の製造に用いられる複合基板の構造を示す模式的断面図、第3図及び第4図は平板型光井駆動用半導体装置の製造工程を示すそれぞれ別の模

式的工程図、及び第5図は本半導体装置を用いて構成された平板型光井装置の構造を示す模式的断面図である。

- | | |
|----------|------------|
| 1…支持基板 | 2…複層構造 |
| 3…画素電極 | 4…スイッチング素子 |
| 5…ドレイン領域 | 6…ソース領域 |
| 7…チャネル領域 | 8…ゲート酸化膜 |
| 9…主ゲート電極 | 10…ゲート酸化膜 |
| 11…遮光層 | 21…透光性薄膜 |
| 22…絶縁膜 | 23…半導体薄膜 |
| 24…下地膜 | |

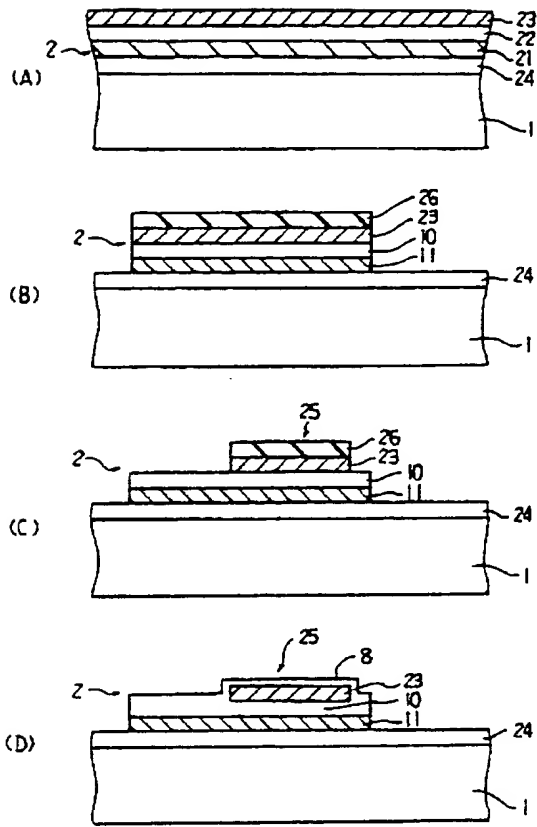


第1図

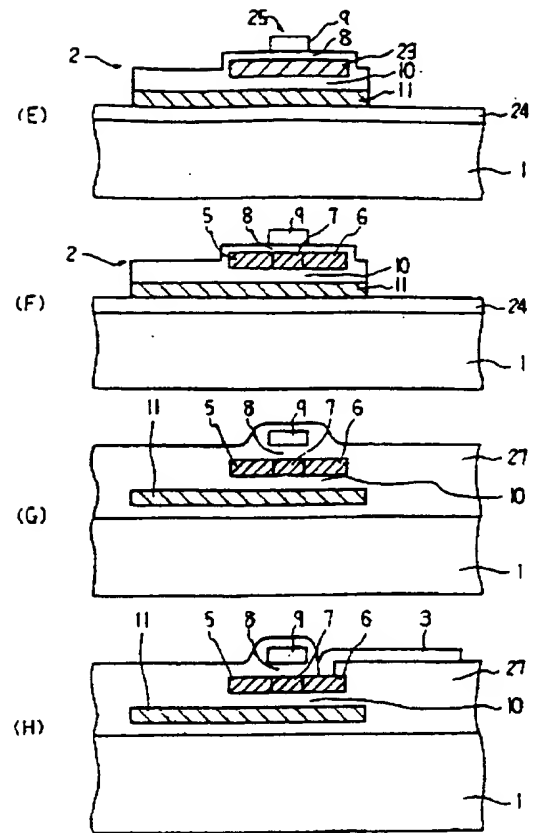


第2図

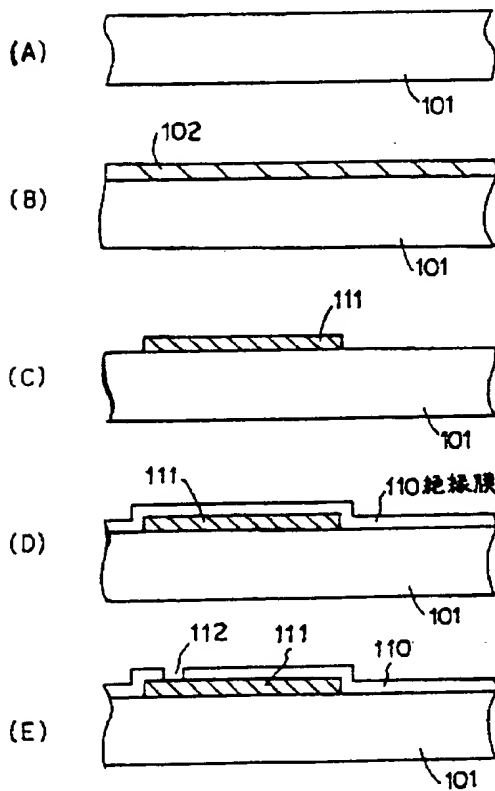
出願人 工業技術院 電子工業研究所
セイコー電子工業株式会社
指定代理人 工業技術院電子技術総合研究所長
代理人 井理士 林 敬之 助



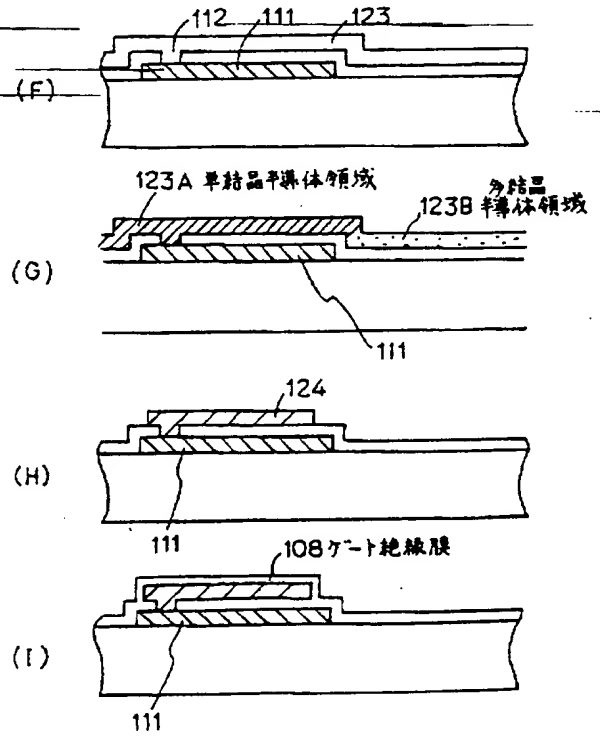
第3図



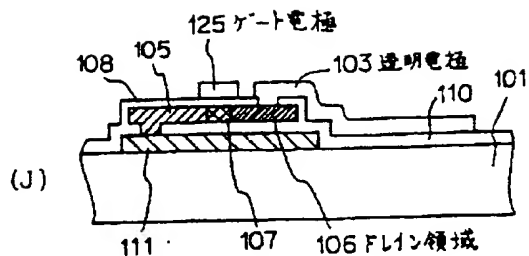
第3図



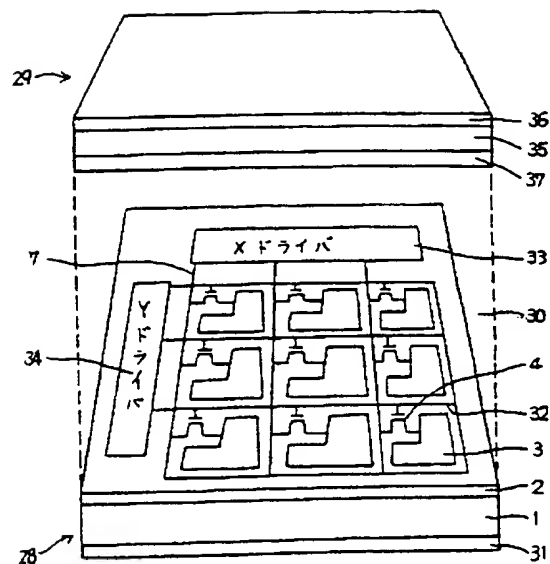
第4図



第4図



第4図



第5図

第1頁の続き

⑤Int. Cl.⁵

G 02 F 1/36

識別記号

5 0 0

庁内整理番号

9018-2K

⑦発明者 小島

芳和

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内

⑦発明者 鷹巣

博昭

東京都江東区亀戸6丁目31番1号 セイコー電子工業株式
会社内